

特許協力条約に基づく国際出願願書

紙面による写し(注意:電子データが原本となります)

0	受理官庁記入欄	
0-1	国際出願番号	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、	
0-4-1	右記によって作成された。	JPO-PAS 0321
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	10712-MU-PCT
I	発明の名称	スイッチング電源装置
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除く全ての指定国 (all designated States except US)
II-4ja	名称	株式会社村田製作所
II-4en	Name:	Murata Manufacturing Co., Ltd.
II-5ja	あて名	6178555 日本国
II-5en	Address:	京都府長岡京市東神足1丁目10番1号 10-1, Higashikotari 1-chome, Nagaokakyo-shi, Kyoto 6178555 Japan
II-6	国籍(国名)	日本国 JP
II-7	住所(国名)	日本国 JP
II-8	電話番号	81-75-955-6734
II-9	ファクシミリ番号	81-75-956-6259
II-10	電子メール	patent@murata.co.jp
II-11	出願人登録番号	000006231

特許協力条約に基づく国際出願願書

紙面による写し(注意:電子データが原本となります)

III-1	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 細谷達也 HOSOTANI Tatsuya 6178555 日本国 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 c/o Murata Manufacturing Co., Ltd., 10-1, Higashikotari 1-chome, Nagaokakyo-shi, Kyoto 6178555 Japan 日本国 JP 日本国 JP
III-1-1	この欄に記載した者は	
III-1-2	右の指定国についての出願人である。	
III-1-4ja	氏名(姓名)	
III-1-4en	Name (LAST, First):	
III-1-5ja	あて名	
III-1-5en	Address:	
III-1-6	国籍(国名)	日本国 JP
III-1-7	住所(国名)	日本国 JP
III-2	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 竹村博 TAKEMURA Hiroshi 6178555 日本国 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 c/o Murata Manufacturing Co., Ltd., 10-1, Higashikotari 1-chome, Nagaokakyo-shi, Kyoto 6178555 Japan 日本国 JP 日本国 JP
III-2-1	この欄に記載した者は	
III-2-2	右の指定国についての出願人である。	
III-2-4ja	氏名(姓名)	
III-2-4en	Name (LAST, First):	
III-2-5ja	あて名	
III-2-5en	Address:	
III-2-6	国籍(国名)	日本国 JP
III-2-7	住所(国名)	日本国 JP
IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく 出願人のために行動する。	代理人 (agent) 小森久夫 KOMORI Hisao 5400011 日本国 大阪府大阪市中央区農人橋1丁目4番34号 1-4-34, Noninbashi, Chuo-ku, Osaka-shi, Osaka 5400011 Japan 06-6941-3982 06-6941-3983 komori@komori-pat.com 100084548
IV-1-1ja	氏名(姓名)	
IV-1-1en	Name (LAST, First):	
IV-1-2ja	あて名	
IV-1-2en	Address:	
IV-1-3	電話番号	
IV-1-4	ファクシミリ番号	
IV-1-5	電子メール	
IV-1-6	代理人登録番号	

特許協力条約に基づく国際出願願書

紙面による写し(注意:電子データが原本となります)

V	国の指定		
V-1	この願書を用いてされた国際出願は、規則4.9(a)に基づき、国際出願の時点で拘束される全てのPCT締約国を指定し、取得しうるあらゆる種類の保護を求め、及び該当する場合には広域と国内特許の両方を求める国際出願となる。		
VI-1	先の国内出願に基づく優先権主張		
VI-1-1	出願日	2004年 01月 30日 (30.01.2004)	
VI-1-2	出願番号	2004-024563	
VI-1-3	国名	日本国 JP	
VI-2	優先権証明書送付の請求 上記の先の出願のうち、右記の番号のものについては、出願書類の認証謄本を作成し国際事務局へ送付することを、受理官庁に対して請求している。	VI-1	
VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)	
VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	—	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	—	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	—	
VIII-4	発明者である旨の申立て(米国を指定国とする場合)	—	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	—	
IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書(申立てを含む)	4	✓
IX-2	明細書	19	✓
IX-3	請求の範囲	4	✓
IX-4	要約	1	✓
IX-5	図面	7	✓
IX-7	合計	35	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	—	✓
IX-11	包括委任状の写し	—	✓
IX-17	PCT-SAFE 電子出願	—	—
IX-19	要約書とともに提示する図の番号	1	
IX-20	国際出願の使用言語名	日本語	
X-1	出願人、代理人又は代表者の記名押印	/100084548/	
X-1-1	氏名(姓名)	小森久夫	
X-1-2	署名者の氏名		
X-1-3	権限		

特許協力条約に基づく国際出願願書

紙面による写し(注意:電子データが原本となります)

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日(訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

PCT手数料計算用紙(願書付属書)

紙面による写し(注意:電子データが原本となります)
 [この用紙は、国際出願の一部を構成せず、国際出願の用紙の枚数に算入しない]

0	受理官庁記入欄			
0-1	国際出願番号			
0-2	受理官庁の日付印			
0-4	様式-PCT/RO/101(付属書)			
0-4-1	このPCT手数料計算用紙は、 右記によって作成された。	JPO-PAS 0321		
0-9	出願人又は代理人の書類記号	10712-MU-PCT		
2	出願人	株式会社村田製作所		
12	所定の手数料の計算	金額/係数	小計(JPY)	
12-1	送付手数料 T	⇒	13000	
12-2	調査手数料 S	⇒	97000	
12-3	国際出願手数料 (最初の30枚まで) i1	123200		
12-4	30枚を越える用紙の枚数	5		
12-5	用紙1枚の手数料 (X)	1300		
12-6	合計の手数料 i2	6500		
12-7	i1 + i2 = i	129700		
12-12	fully electronic filing fee reduction R	-26400		
12-13	国際出願手数料の合計 (i-R) I	⇒	103300	
12-17	納付するべき手数料の合計 (T+S+I+P)	⇒	213300	
12-19	支払方法	送付手数料: 予納口座引き落としの承認 調査手数料: 予納口座引き落としの承認 国際出願手数料: 銀行口座への振込み		
12-20	予納口座 受理官庁	日本国特許庁 (RO/JP)		
12-20-1	上記手数料合計額の請求に対する承認	✓		
12-21	予納口座番号	013550		
12-22	日付	2004年 10月 27日 (27. 10. 2004)		
12-23	記名押印			

委任状(PCT)

紙面による写し(注意:電子データが原本となります)

代理人選任証

平成16年2月5日

弁理士 小 森 久 夫 殿

名 称 株式会社 村田製作所
あて名 〒617-8555
京都府長岡京市天神2丁目26番10号

代表者 村田 泰隆



すべての国際出願に関する手続きについて、貴殿を代理人に選任したことに相違ありません。

明 細 書

スイッチング電源装置

技術分野

- [0001] 本発明は、入力電源からの供給電力を断続すると共にインダクタにより電力変換を行って所定の直流電圧を出力するスイッチング電源装置に関するものである。

背景技術

- [0002] 一般にスイッチング電源装置の性能指標の1つとして高調波特性と力率特性がある。高調波特性はスイッチング電源装置からその入力電源ラインへ流れる高調波電流の抑制機能であり、他の機器へ悪影響を与えないように高調波電流の上限が規定されている。また、力率特性はスイッチング電源装置から入力を見た力率であり、電力システムの低損失化のためには高力率である程好ましい。

- [0003] そこで、従来は特許文献1～3に開示されているような構造のスイッチング電源装置が考案されている。

特許文献1のスイッチング電源装置の構成例を図13に示す。図13において、第1のスイッチ回路S1は第1のスイッチ素子Q1、第1のダイオードD1、および第1のキャパシタC1の並列回路で構成していて、第2のスイッチ回路S2は第2のスイッチ素子Q2、第2のダイオードD2、および第2のキャパシタC2の並列回路で構成している。

- [0004] Tはトランスであり、その1次巻線T1とインダクタLとの直列回路に第1のスイッチ回路S1と入力電源Eを直列に接続するとともに、第2のスイッチ回路S2とキャパシタCとの直列回路を1次巻線T1とインダクタLとの直列回路に対して並列に接続している。トランスTの2次巻線T2には整流ダイオードDsと平滑コンデンサCoからなる整流平滑回路を設けている。2次側の整流ダイオードDsには並列にキャパシタCsを接続している。検出回路14は負荷に供給される出力電圧Voおよび必要に応じて出力電流Ioを検出する。制御回路11はバイアス巻線T3の発生電圧を入力して、スイッチ素子Q1に対して正帰還をかけることによって自励発振させる。制御回路12はバイアス巻線T4の発生電圧を入力して、スイッチ素子Q2のオフタイミングを制御することによりQ2のオン期間を制御する。

[0005] 特許文献2のスイッチング電源装置の構成例を図14に示す。図14において、交流電源2から供給される交流電圧を整流器4で整流し、平滑コンデンサ6で平滑することによって得られる整流電圧 V_{in} を、第1の電力変換部8および第2の電力変換部10へ供給するようにしている。スイッチングトランジスタ Q_s がオンになると、整流電圧 V_{in} がチョークコイルCHとダイオードDbおよび高周波トランスTの1次巻線L1に加わり、チョークコイルCHにエネルギーが蓄積される。スイッチングトランジスタ Q_s がオフすると、チョークコイルCHのエネルギーによりダイオードDc、1次巻線L1、およびコンデンサC1を通して電流が流れる。このスイッチングトランジスタ Q_s のオンオフ動作を繰り返すことによって、トランスTの2次巻線L2に誘起した電圧をダイオードD2とコンデンサC_oで平滑化して直流電圧 V_o を出力する。パルス幅制御回路16は出力電圧 V_o の変動に応じてスイッチングトランジスタ Q_s の通電時間制御を行って V_o を安定化させる。

[0006] 特許文献3のスイッチング電源装置の構成例を図15に示す。図15において、全波整流回路2は入力端子1-1' から交流入力電圧を入力して整流電圧 E_i を出力する。第1のコンデンサ3はインダクタ20の電流を第2のスイッチング素子6と第2のコンデンサ7を介して平滑し、直流電圧 E_3 を供給する。第1のスイッチング素子4は前記整流電圧 E_i をインダクタ20を介して、さらに第1のコンデンサ7の直流電圧 E_3 をトランス5の1次巻線51を介して、高周波スイッチングにより交流電圧に変換する。第2のスイッチング素子6と第1のスイッチング素子4は制御回路11により交互にオンオフされる。第2のコンデンサ7は第2のスイッチング素子6のオン期間にトランス5に蓄積された励磁エネルギーの一部とインダクタ20の電流を吸収し放出する。ダイオード8とコンデンサ9は整流平滑回路を構成し、2次巻線52に発生する高周波交流電圧のフライバック電圧を整流平滑し、直流出力電圧 E_o を出力端子10-10' へ出力する。制御駆動回路11は直流出力電圧 E_o を検出して第1のスイッチング素子4および第2のスイッチング素子6のオンオフ比を制御する。

特許文献1: 特開平11-187664号公報

特許文献2: 特開平4-21358号公報

特許文献3: 特開平7-75334号公報

発明の開示

発明が解決しようとする課題

[0007] ところが、特許文献1では、電圧クランプ回路により、ゼロ電圧スイッチング動作(以下ZVS動作という。)が行われ、高効率化を図ることができるが、高調波電流抑制機能はない。

特許文献2では、高調波電流抑制機能を有するが、ZVS動作を行わないためスイッチング損失が大きく回路効率が悪い。

[0008] 特許文献3では、電圧クランプ回路により、ZVS動作が行われ、高調波電流抑制機能も有するが、スイッチング動作により発生する電流が商用交流電圧を整流するダイオード(図15に示した全波整流回路2)に流れるため、そのダイオードでの損失が大きく、高調波電流の低減効果も小さい。そのため、商用交流電源ラインにローパスフィルタを設ける必要があり、スイッチング電源装置が大型化する。また、瞬時停電などにより商用交流電源が一時的に遮断された時にも出力を供給し続けられる時間(出力保持時間)を確保するためのコンデンサ3の電圧が制御されないため、その電圧が軽負荷時に大きく上昇し、部品の耐圧を超えるおそれが生じるという問題がある。

[0009] そこで、この発明の目的は、高調波電流の低減効果を高め、高調波特性および効率特性を改善するとともに、より高効率化を図ったスイッチング電源装置を提供することにある。

課題を解決するための手段

[0010] (1)この発明のスイッチング電源装置は、第1のスイッチ素子Q1、第1のダイオードD1、および第1のキャパシタCds1の並列回路で構成された第1のスイッチ回路S1と、第2のスイッチ素子Q2、第2のダイオードD2、および第2のキャパシタCds2の並列接続回路で構成された第2のスイッチ回路S2と、交流入力電圧を整流する少なくとも1つの整流素子により構成された入力側整流回路Daと、該整流回路Daにより整流された電圧が印加される第3のキャパシタCaと、1次巻線Lpと2次巻線Lsを有するトランスTと、その2次巻線Lsに接続された整流平滑回路RSと、1次巻線Lpに直列に接続された第1のインダクタLrと、第1のスイッチ回路S1が導通状態となるオン期間に第3のキャパシタCaの電圧が印加されるように接続された第2のインダクタLiと、該第

2のインダクタ L_i に逆電流が流れるのを阻止する第3のダイオード D_i と、第2のインダクタ L_i に蓄えられた励磁エネルギーにより充電され、且つ、第1のスイッチ回路 S_1 のオン期間に1次巻線 L_p に電圧を印加するように接続された第4のキャパシタ C_i と、第1のインダクタ L_r と1次巻線 L_p と第2のスイッチ回路 S_2 とともに閉ループを構成する第5のキャパシタ C_r と、第1・第2のスイッチ素子を両スイッチ素子が共にオフする期間を挟んで交互にオンオフ駆動するスイッチング制御回路 SC_1 , SC_2 とを備えたことを特徴としている。

[0011] (2)この発明のスイッチング電源装置は、第1のスイッチ素子 Q_1 、第1のダイオード D_1 、および第1のキャパシタ C_{ds1} の並列接続回路で構成された第1のスイッチ回路 S_1 と、第2のスイッチ素子 Q_2 、第2のダイオード D_2 、および第2のキャパシタ C_{ds2} の並列接続回路で構成された第2のスイッチ回路 S_2 と、交流入力電圧を整流する少なくとも1つの整流素子により構成された入力側整流回路 Da と該整流回路 Da により整流された電圧が印加される第3のキャパシタ Ca と、1次巻線 L_p と2次巻線 L_s を有するトランス T と、その2次巻線 L_s に接続された整流平滑回路 RS と、1次巻線 L_p に直列に接続された第1のインダクタ L_r と、第1のスイッチ回路 S_1 が導通状態となるオン期間に第3のキャパシタ Ca の電圧が印加されるように接続された第2のインダクタ L_i と、該第2のインダクタ L_i に逆電流が流れるのを阻止する第3のダイオード D_i と、第2のインダクタ L_i に蓄えられた励磁エネルギーにより充電され、且つ、前記オン期間に1次巻線 L_p に電圧を印加するように接続された第4のキャパシタ C_i と、第1のスイッチ回路 S_1 の両端に接続される直列回路を第2のスイッチ回路 S_2 とで構成する第5のキャパシタ C_r と、第1・第2のスイッチ素子を両スイッチ素子が共にオフする期間を挟んで交互にオンオフ駆動するスイッチング制御回路 SC_1 , SC_2 とを備えたことを特徴としている。

[0012] (3)この発明のスイッチング電源装置は、(1)または(2)において、トランス T とは別の第2のトランス T_2 を設け、第2のインダクタ L_i を第2のトランス T_2 の入力巻線で構成し、第2のトランス T_2 の出力巻線 L_o と前記整流平滑回路 RS との間に整流回路 Ds_2 を設けたことを特徴としている。

[0013] (4)この発明のスイッチング電源装置は、(1)または(2)において、トランス T とは別

の第2のトランスT2を設け、第2のインダクタLiと直列に第2のトランスT2の入力巻線Li1を接続し、第2のトランスT2の該出力巻線と前記整流平滑回路との間に整流回路を設けたことを特徴としている。

[0014] (5)この発明のスイッチング電源装置は、(1)または(2)において、トランスTに3次巻線Ltを設け、第2のインダクタLiと直列に接続したことを特徴としている。

[0015] (6)この発明のスイッチング電源装置は、(1)～(5)において、第3のキャパシタCaが高調波成分の電流を遮断するローパスフィルタまたはローパスフィルタの一部を構成していることを特徴としている。

[0016] (7)この発明のスイッチング電源装置は、(1)～(6)において、入力側整流回路Daと第4のキャパシタCiとの間に第4のダイオードDbを接続したことを特徴としている。

[0017] (8)この発明のスイッチング電源装置は、(1)～(7)において、第1のスイッチ回路S1と第2のスイッチ回路S2との接続点に第2のインダクタLiの一端を接続し、他端を第3のダイオードDiに接続し、第2のスイッチ回路S2と第4のキャパシタCrとの接続点と第1のスイッチ回路S1と第2のスイッチ回路S2との接続点に、第4のダイオードDcの両端を接続したことを特徴としている。

[0018] (9)この発明のスイッチング電源装置は、(1)～(8)において、トランスTに単数または複数の駆動巻線Lb1, Lb2を設け、前記スイッチング制御回路SC1, SC2が前記駆動巻線Lb1, Lb2に発生する電圧を用いて第1のスイッチ素子Q1または第2のスイッチ素子Q2を駆動することを特徴としている。

[0019] (10)この発明のスイッチング電源装置は、(1)～(9)において、駆動巻線Lb1, Lb2と第1・第2のスイッチング素子Q1, Q2の制御端子との間に抵抗Rg1, Rg2とコンデンサCg1, Cg2との直列回路からなる遅延回路DL1, DL2を備え、前記スイッチング制御回路SC1, SC2が前記駆動巻線Lb1, Lb2に前記スイッチ素子Q1, Q2をターンオンさせる電圧が発生してから遅延して該スイッチ素子Q1, Q2をターンオンさせることを特徴としている。

[0020] (11)この発明のスイッチング電源装置は、(10)において、第1・第2のスイッチ素子Q1, Q2の両端に印加される電圧が零電圧または零電圧付近まで低下してからターンオンするように前記遅延回路DL1, DL2の遅延時間を設定したことを特徴としてい

る。

- [0021] (12)この発明のスイッチング電源装置は、(1)～(11)において、スイッチング制御回路SC1、SC2が、駆動巻線Lb1、Lb2にスイッチ素子Q1、Q2をターンオンさせる電圧が発生してから所定時間後にオンすることによりスイッチ素子Q1、Q2をターンオフさせることを特徴としている。
- [0022] (13)この発明のスイッチング電源装置は、(12)において、スイッチ手段をトランジスタTr1、Tr2で構成し、該トランジスタTr1、Tr2の制御端子に時定数回路を構成するインピーダンス回路およびコンデンサCt1、Ct2がそれぞれ接続されたことを特徴としている。
- [0023] (14)この発明のスイッチング電源装置は、(1)～(13)において、スイッチング制御回路SC1、SC2は、駆動巻線Lb1、Lb2にスイッチ素子Q1、Q2をターンオンさせる電圧が発生してから、一定時間後にスイッチ素子Q1、Q2をターンオフさせるように時定数回路TC1、TC2を備えたことを特徴としている。
- [0024] (15)この発明のスイッチング電源装置は、(1)～(14)において、トランスTの有する漏れインダクタンスを第1のインダクタLrとして構成したことを特徴としている。
- [0025] (16)この発明のスイッチング電源装置は、(1)～(15)において、第1のスイッチ回路S1または第2のスイッチ回路S2の少なくとも一方を電界効果トランジスタで構成したことを特徴としている。
- [0026] (17)この発明のスイッチング電源装置は、(1)～(16)において、スイッチング制御回路SC1、SC2が、2次巻線Lsに接続された整流平滑回路RSから得られる出力電圧を安定化するように第1のスイッチ素子Q1のオン期間を制御することを特徴としている。
- [0027] (18)この発明のスイッチング電源装置は、(1)～(17)において、スイッチング制御回路SC1、SC2が、第4のキャパシタCiの両端電圧に応じて第2のスイッチ素子Q2のオン期間を制御することを特徴としている。
- [0028] (19)この発明のスイッチング電源装置は、(1)～(18)において、スイッチング制御回路SC1、SC2が、第4のキャパシタCiの両端電圧の上昇に応じて第2のスイッチ素子Q2のオン期間を抑制し、軽負荷または無負荷時に発振期間と停止期間を周期的

に繰り返す間欠発振動作モードに移行して、第4のキャパシタ C_i の両端電圧の上昇を抑制することを特徴としている。

発明の効果

- [0029] (1)この発明によれば、第1のスイッチ素子 Q_1 と第2のスイッチ素子 Q_2 がゼロ電圧スイッチング動作することによりスイッチング損失が大幅に低減される。また、入力される半波整流電圧または全波整流電圧をスイッチングして整流電圧に比例した電流を流すので、電流のピーク値が正弦波状となって高力率が得られる。また、第2のインダクタ L_i への逆電流を阻止する第3のダイオード D_i は特許文献3のように商用交流電圧の整流とスイッチング電流の整流の双方を行う必要が無く、スイッチング電流のみを整流すればよいので、高速スイッチング機能を満たして低損失化が図れる。さらに、入力側整流回路 D_a には特許文献3のように商用交流電圧を整流するダイオードに高周波電流が流れないので高調波電流抑制機能が低下することもない。
- [0030] (2)この発明によれば、第1のスイッチ回路 S_1 の両端に接続される直列回路を第2のスイッチ回路 S_2 とで構成する第5のキャパシタ C_r と、第1・第2のスイッチ素子を両スイッチ素子が共にオフする期間を挟んで交互にオンオフ駆動するスイッチング制御回路 SC_1 , SC_2 とを備えたことにより、第5のキャパシタ C_r の印加電圧を大きくすることによって第5のキャパシタ C_r の容量を低減できる。
- [0031] (3)この発明によれば、第2のトランス T_2 の入力巻線を第2のインダクタ L_i とし、第2のトランス T_2 の出力巻線を整流回路を介して整流平滑回路に接続したことにより、第2のトランス T_2 の入力巻線に蓄えられたエネルギーを第2のトランス T_2 により2次側に直接供給でき、トランス T の電流が減少し、導通損失を低減でき、さらに高効率化が図れる。
- [0032] (4)この発明によれば、第2のインダクタ L_i に直列に第2のトランス T_2 の入力巻線 L_{i1} を接続し、第2のトランス T_2 の出力巻線と整流回路との間を別の整流回路を介して接続したことにより、第2のインダクタ L_i に印加される電圧を調整し入力電流の導通角を広げて高調波電流をさらに抑制でき、または逆に導通角を狭めてキャパシタ C_i の電圧上昇を抑制できる。
- [0033] (5)この発明によれば、トランス T の3次巻線 L_t を第2のインダクタ L_i に直列接続した

ことにより、 L_i に印加される電圧を調整して入力電流の導通角を広げて高調波電流をさらに抑制したり、逆に導通角を狭めてキャパシタ C_i の電圧上昇を抑制できる。

[0034] (6)この発明によれば、第3のキャパシタ C_a が第1・第2のスイッチ素子 Q_1 , Q_2 のスイッチングによる高周波電流の入力電源ライン側への伝搬を防止するので、大きな高調波電流抑制効果が得られる。

[0035] (7)この発明によれば、入力側整流回路 D_a と第4のキャパシタ C_i との間に第4のダイオード D_b を接続したことにより、起動時に第4のキャパシタ C_i に対して直接充電でき、定常状態に到るまでのトランスの偏磁現象等を防止することができる。

[0036] (8)この発明によれば、第1のスイッチ回路 S_1 がオフの期間に第4のダイオード D_c と第2のスイッチ回路 S_2 によって第2のインダクタ L_i を短絡することになるので、このインダクタ L_i に流れる電流が0となって第3のダイオード D_i に印加される電圧を大幅に低減できる。そのため、この第3のダイオード D_i として低耐圧のものを使用できるようになる。

[0037] (9)この発明によれば、トランス T に駆動巻線 L_{b1} , L_{b2} を設け、その駆動巻線 L_{b1} , L_{b2} に発生する電圧を用いて第1・第2のスイッチ素子 Q_1 , Q_2 を駆動するようにしたことにより、自励発振動作が可能となる。

[0038] (10)この発明によれば、遅延回路 DL_1 , DL_2 を設け、前記駆動巻線 L_{b1} , L_{b2} にスイッチ素子 Q_1 , Q_2 をターンオンさせる電圧が発生してから遅延させて Q_1 , Q_2 をターンオンさせるようにしたことにより、デッドタイムが形成され、第1・第2のスイッチ素子 Q_1 , Q_2 を適切なタイミングで交互にオンオフ駆動することができる。

[0039] (11)この発明によれば、第1・第2のスイッチ素子 Q_1 , Q_2 の両端に印加される電圧が零電圧または零電圧付近まで低下してからターンオンするように前記遅延回路 DL_1 , DL_2 の遅延時間を設定したことにより、ゼロ電圧スイッチング動作することになり、スイッチング損失を低減して高効率化を図れる。

[0040] (12)この発明によれば、前記スイッチング制御回路 SC_1 , SC_2 にスイッチ素子 Q_1 , Q_2 をターンオフさせるスイッチ手段を備えたことにより、スイッチング制御回路 SC_1 , SC_2 の構成が簡単となり、少ない部品点数でスイッチング制御が可能となる。

[0041] (13)この発明によれば、前記スイッチ手段をトランジスタ Tr_1 , Tr_2 で構成し、時定

数回路を構成したことにより、第1・第2のスイッチ素子Q1, Q2のオン期間の設定が容易となる。

- [0042] (14)この発明によれば、時定数回路TC1, TC2の作用により、駆動巻線Lb1, Lb2にスイッチ素子Q1, Q2をターンオンさせる電圧が発生してから一定時間後にQ1, Q2がターンオフするので、ターンオフさせるタイミングを適切に設定してスイッチ素子Q1, Q2のオン期間を定めることができる。
- [0043] (15)この発明によれば、トランスTの漏れインダクタンスを第1のインダクタLrとして利用することにより部品点数が削減できる。
- [0044] (16)この発明によれば、第1のスイッチ回路S1または第2のスイッチ回路S2の少なくとも一方を電界効果トランジスタで構成したことにより、ダイオードD1, D2を寄生ダイオードで、キャパシタCds1, Cds2を寄生キャパシタでそれぞれ構成でき、スイッチ素子Q1, Q2、ダイオードD1, D2、およびキャパシタCds1, Cds2の並列接続回路を少ない部品点数で構成できる。
- [0045] (17)この発明によれば、第1のスイッチ素子Q1のオン期間制御により出力電圧が安定化するので、定電圧電源装置が得られる。
- [0046] (18)この発明によれば、第4のキャパシタCiの両端電圧に応じて第2のスイッチ素子Q2のオン期間が制御されるので、定電圧電源装置が得られる。
- [0047] (19)この発明によれば、スイッチング制御回路SC1, SC2が第4のキャパシタCiの両端電圧の上昇に応じて第2のスイッチ素子Q2のオン期間を抑制し、軽負荷または無負荷時に間欠発振動作モードに移行して、第4のキャパシタCiの両端電圧の上昇を抑制するようにしたので、第4のキャパシタCiの破損を防止するとともに、その低耐圧化および、スイッチ素子Q1, Q2, 2次側の整流ダイオードDsの低耐圧化が図れる。

図面の簡単な説明

- [0048] [図1]第1の実施形態に係るスイッチング電源装置の回路図である。
- [図2]同スイッチング電源装置の各部の波形図である。
- [図3]入力電圧、入力電流、およびインダクタに流れる電流波形を示す図である。
- [図4]第2の実施形態に係るスイッチング電源装置の回路図である。

[図5]第3の実施形態に係るスイッチング電源装置の回路図である。

[図6]第4の実施形態に係るスイッチング電源装置の回路図である。

[図7]第5の実施形態に係るスイッチング電源装置の回路図である。

[図8]第6の実施形態に係るスイッチング電源装置の回路図である。

[図9]第7の実施形態に係るスイッチング電源装置の回路図である。

[図10]第8の実施形態に係るスイッチング電源装置の回路図である。

[図11]第9の実施形態に係るスイッチング電源装置の回路図である。

[図12]第10の実施形態に係るスイッチング電源装置のスイッチング制御回路の例を示す図である。

[図13]従来のスイッチング電源装置の回路図である。

[図14]従来のスイッチング電源装置の回路図である。

[図15]従来のスイッチング電源装置の回路図である。

符号の説明

[0049] EMI-F —EMIフィルタ

Da—入力側整流回路

Q1—第1のスイッチ素子

D1—第1のダイオード

Cds1—第1のキャパシタ

S1—第1のスイッチ回路

Q2—第2のスイッチ素子

D2—第2のダイオード

Cds2—第2のキャパシタ

S2—第2のスイッチ回路

Ca—第3のキャパシタ

T—トランス

Lp—1次巻線

LS—2次巻線

Lb1, Lb2—駆動巻線

Ds－整流ダイオード

Co－平滑コンデンサ

RS－整流平滑回路

Lr－第1のインダクタ

Li－第2のインダクタ

Cr－第5のキャパシタ

Ci－第4のキャパシタ

SC1－第1のスイッチング制御回路

SC2－第2のスイッチング制御回路

Db－第4のダイオード

Di－第3のダイオード

Tr1, Tr2－トランジスタ

DL1, DL2－遅延回路

FB1, FB2－帰還回路

TC1, TC2－時定数回路

発明を実施するための最良の形態

[0050] 第1の実施形態に係るスイッチング電源装置について図1～図3を参照して説明する。

図1はスイッチング電源装置の回路図である。図1においてVinは商用交流電源である。入力側整流回路Daはダイオードブリッジからなり、EMIフィルタEMI-Fを介して商用交流電源Vinを全波整流する。第1のスイッチ回路S1は、第1のスイッチ素子Q1、第1のダイオードD1、第1のキャパシタCds1からなる。同様に第2のスイッチ回路S2は、第2のスイッチ素子Q2、第2のダイオードD2、第2のキャパシタCds2からなる。これらのダイオードD1, D2はFETであるスイッチ素子Q1, Q2の寄生ダイオード、キャパシタCds1, Cds2はQ1, Q2の寄生キャパシタである。但し、必要な特性を得るためにQ1, Q2とは別にD1, D2, Cds1, Cds2を付加してもよい。

[0051] 入力側整流回路Daの整流電圧は第3のキャパシタCaに印加される。トランスTは1次巻線Lp、2次巻線Ls、駆動巻線Lb1, Lb2を備えている。トランスTの2次巻線Ls

には整流ダイオードDsと平滑コンデンサCoからなる整流平滑回路RSを接続している。整流ダイオードDsにはトランスTの電圧が反転するときの共振用のコンデンサCsを並列接続している。このコンデンサCsとしては整流ダイオードDsの寄生容量を用いることもできる。またトランスTの1次巻線Lpには直列に第1のインダクタLrと第2のインダクタLiを接続している。このインダクタLrとしてはトランスTの漏れインダクタンスを利用することもできる。

- [0052] 第2のスイッチ回路S2には第5のキャパシタCrを直列に接続している。この第2のスイッチ回路SC2、第5のキャパシタCr、第1のインダクタLrおよびトランスTの1次巻線Lpとによって閉ループを構成している。また第1のスイッチ回路S1と第2のスイッチ回路S2との接続点に第2のインダクタLiの一端を接続し、その他端を第3のダイオードDiに接続している。また第2のスイッチ回路S2と第5のキャパシタCrとの接続点と、第3のダイオードDiと第2のインダクタLiとの接続点に、第4のダイオードDcの両端を接続している。
- [0053] 第1のスイッチ回路S1と第3のキャパシタCaとの接続点と第1のインダクタLrの一端との間には第4のキャパシタCiを接続している。
- [0054] 第1・第2のスイッチ回路S1, S2にはそれぞれスイッチング制御回路SC1, SC2を接続している。入力側整流回路Daと第4のキャパシタCiとの間に第4のダイオードDbを接続している。
- [0055] スwitchング制御回路SC1は第1のスイッチ素子Q1のゲートソース間に接続したトランジスタTr1と遅延回路DL1と時定数回路TC1とを備えている。遅延回路DL1はコンデンサCg1と抵抗Rg1の直列回路およびスイッチ素子Q1の入力容量(不図示)によって構成している。第1のスイッチ素子Q1は駆動巻線Lb1の誘起電圧によってターンオンされるが、遅延回路DL1によってQ1のターンオンタイミングが遅延される。
- [0056] 時定数回路TC1は、抵抗Rt1、ダイオードDt1、フォトカプラのフォトトランジスタPt1から成るインピーダンス回路とコンデンサCt1とからなる。この時定数回路TC1とトランジスタTr1とによって第1のスイッチ素子Q1のターンオフ制御を行う。
- [0057] 第2のスイッチング制御回路SC2も第1のスイッチング制御回路SC1と同様の構成であり、同様に作用する。

[0058] 第1のスイッチング制御回路SC1のフォトカプラのフォトランジスタPt1には帰還回路FB1を接続している。この帰還回路FB1は整流平滑回路RSから出力端子OUTへ出力される電圧 V_o を検出して、その電圧 V_o が安定化するように帰還制御する。第2の帰還回路FB2は第4のキャパシタ C_i の入力電圧 V_i を検出して、その入力電圧 V_i が軽負荷時に所定値より上昇しないように第2のスイッチ素子Q2のオン期間が制御されるように帰還制御する。但し、キャパシタ C_i の電圧 V_i を制御する必要がない場合は、帰還回路FB2は省略してもよい。

[0059] 第3のキャパシタ C_a は、スイッチ素子Q1、Q2のスイッチングによって生じる高周波電流を接地へ流す(シャントする)ので、その高周波電流が入力電源側へ戻るのを阻止する。また、インダクタ等を挿入して、そのインダクタンスとキャパシタ C_a のキャパシタンスとによってローパスフィルタを構成してもよい。

[0060] 次に、図1に示したスイッチング電源装置の回路動作について図2・図3を基に説明する。

図2は図1各部の波形図である。また、図3は商用電源の入力電圧 V_{in} 、入力電流 i_{in} 、インダクタ L_i に流れる電流 i_l の概略波形図である。スイッチ素子Q1、Q2のオンオフ信号(ゲート・ソース間電圧)を V_{gs1} 、 V_{gs2} 、ドレイン・ソース間電圧を V_{ds1} 、 V_{ds2} 、ドレイン電流を i_{d1} 、 i_{d2} 、整流ダイオード D_s の電流を i_s 、インダクタ L_i に流れる電流を i_l 、トランスTの励磁電流を i_m とし、各状態の動作を示す。

[0061] (1) 状態1 state1 [$t_1 \sim t_2$]

ダイオードD1またはスイッチQ1は導通しており、D1の導通時に駆動巻線 L_{b1} の電圧によりQ1がターンオンしてZVS動作が行われる。1次巻線 L_p には入力電圧 V_i が印加され励磁され、インダクタ L_i には全波整流電圧 V_{ac} が印加される。図2において α_{ton} はオン期間においてトランスTの励磁電流 i_m が負となる時間である。

[0062] 時刻 t_2 でキャパシタ C_{t1} の電圧がトランジスタ $Tr1$ のしきい値電圧となり $Tr1$ がオン、Q1がターンオフしてトランスTの電圧(トランスTの各巻線の電圧)が反転する。

[0063] (2) 状態2 state2 [$t_2 \sim t_3$]

トランスTの1次巻線 L_p 、インダクタ L_r 、およびインダクタ L_i に流れていた電流によりキャパシタ C_{ds1} が充電され、キャパシタ C_{ds2} が放電される。時刻 t_3 で電圧 V_{ds2} が

零電圧となりダイオードD2が導通する。トランスTの2次側では電圧 V_s が零になると整流ダイオードDsが導通する。

[0064] (3) 状態3 state3 [t3～t4]

ダイオードD2の導通時、駆動巻線Lb2の電圧によりスイッチQ2はターンオンしてZVS動作が行われる。トランスTの1次側ではインダクタ L_r とキャパシタ C_r が共振し、インダクタ L_i に蓄えられた励磁電流 i_l によりキャパシタ C_i が充電される。トランスTの2次側ではトランスTの励磁エネルギーが2次巻線 L_s から放出され、ダイオードDsに流れる電流 i_s は曲線波形となる。図2において、 tr_1 はトランスTのリセット時間である。時刻 t_4 で(t_3 から tr_2 経過後)電流 i_l が零となると、キャパシタ C_i の充電は終了する。

[0065] (4) 状態4 state4 [t4～t5]

電流 i_l が零となると、ダイオードDcが導通して、スイッチ素子Q2とともにインダクタ L_i の両端が短絡され、ダイオードDiへの印加電圧がクランプされる。状態3、状態4ではキャパシタ C_r の電圧 V_r は1次巻線 L_p とインダクタ L_r との直列回路に印加され、励磁電流 i_m は直線的に減少する。励磁電流 i_m は零となると負電流となり、状態1とは逆方向に1次巻線 L_p を励磁する。2次側では、電流 i_s が零となるまで流れる。時刻 t_5 でキャパシタ C_{t2} の電圧が Tr_2 のしきい値電圧となり Tr_2 がオンすると、スイッチQ2がターンオフする。

[0066] (5) 状態5 state5 [t5～t6]

トランスTの2次側ではダイオードDsに逆電圧が印加されトランスTの2次巻線 L_s の電圧が反転する。1次側では1次巻線 L_p とインダクタ L_r に流れていた電流によりキャパシタ C_{ds1} が放電され、キャパシタ C_{ds2} が充電され、時刻 t_6 で電圧 V_{ds1} が零になるとD1が導通する。

以上の状態1～5を繰り返す。

[0067] 図1に示したスイッチング電源装置の回路特性は次のとおりである。

スイッチ素子Q1またはダイオードD1が導通している期間を ton とし、スイッチ素子Q2またはダイオードD2が導通している期間を ton_2 とし、1周期を T 、商用電源電圧の絶対値(商用電源の整流電圧)を V_{ac} とし、トランスTの2次巻線 L_s の巻線数に対する1次巻線 L_p の巻線数の比を n とすると、トランスTに印加される電圧積より次式が

成り立つ。

$$[0068] \quad V_i \times \text{ton} = nV_o \times \text{ton}_2 \quad \dots(1)$$

また、インダクタ L_i に印加される電圧積より次式が成り立つ。

$$[0069] \quad V_{ac} \times \text{ton} = (V_i + nV_o - V_{ac}) \times \text{tr}_2 \quad \dots(2)$$

上式において、時間 tr_2 は、インダクタ L_i に流れる電流 i_l がオフ期間において零となるまでの時間である。1商用電源電圧周期において、電圧 V_i と出力電圧 V_o はほぼ一定であるから、(1) 式より ton を制御して、 $\text{ton} / \text{ton}_2$ または時比率 ton / T を制御すれば出力電圧を安定化することができる。

[0070] また、瞬時入力電力 p は、昇圧コンバータの一般式より次式で求まる。

$$[0071] \quad p = (V_{ac} \cdot \text{ton})^2 (V_i + nV_o) / \{2L_i T (V_i + nV_o - V_{ac})\} \quad \dots(3)$$

ここで、(3) 式に(1) 式を代入して整理すると、

$$p = (V_{ac} \cdot nV_o)^2 / \{2L_i V_i (V_i + nV_o - V_{ac})\} \times \text{ton}_2 \quad \dots(4)$$

と表され、入力電力 p は時間 ton_2 に比例することが分かる。

[0072] また、(4) 式より ton_2 を一定とすると、入力電力 p が小さくなる程、電圧 V_i が大きくなることが分かる。よって(4) 式より、 ton_2 を制御して電圧 V_i を安定化できることが導かれる。

[0073] さらに、(2) 式で決まる tr_2 が ton_2 よりも短い場合において、インダクタ L_i に流れる電流ピーク値 I_{lp} は次式で表される。

$$[0074] \quad I_{lp} = (V_{ac} / L_i) \times \text{ton} \quad \dots(5)$$

ここで、1商用電源電圧周期においてオン期間 ton はほぼ一定であるから、 $\text{ton}_2 > \text{tr}_2$ を満たす場合、電流ピーク値 I_{lp} は全波整流電圧 V_{ac} に比例し、図3に示すように、商用交流電源の入力電流 i_{in} はほぼ正弦波となり、入力電流の高調波成分が大幅に低減されるとともに力率が向上する。

[0075] また、1商用電源電圧周期においてオン期間 ton はほぼ一定となることから、出力電圧を安定化する制御回路の応答特性は良く、さらに、キャパシタ C_i に蓄えられた静電エネルギーにより、十分な出力電圧保持時間が確保できることが分かる。

[0076] さらに、高周波のスイッチング電流であるインダクタ L_i に流れる電流 i_l は、キャパシタ C_a を通して流れるため、入力側整流回路 D_a には流れず、従来、入力側整流回路を構成する整流素子により発生していた逆回復時間や逆電圧等の要因による電力損失を大幅に低減することができる。

[0077] 図1に示したスイッチング電源装置の効果はまとめると次のとおりである。

(1) スイッチ素子 Q_1 , Q_2 はZVS動作により、スイッチング損失が大幅に低減される。

[0078] (2) ダイオード D_i にはスイッチング電流が流れ、このスイッチング電流がキャパシタ C_a に流れることにより、整流回路 D_a にはスイッチング電流が流れず、損失を低減できる。また、ダイオード D_i はスイッチング周波数に対応した高速動作が要求されるが、整流回路 D_a , D_b は商用電源周波数に対応した低速動作の一般ダイオードで対応できる。

[0079] (3) スイッチ素子 Q_1 がオフの期間にダイオード D_c とスイッチ素子 Q_2 でインダクタ L_i を短絡することによりインダクタ L_i に流れる電流が零になり、逆方向に電圧が印加されるのが抑制されるため、ダイオード D_i に印加される電圧を大幅に低減できる。

[0080] (4) 出力電圧 V_o は、帰還回路 FB_1 の信号に基づいてスイッチ素子 Q_1 のオン期間を制御することにより安定化制御される。

[0081] (5) 入力電圧 V_i は、帰還回路 FB_2 の信号に基づいてスイッチ素子 Q_2 のオン期間を制御することにより制御される。このため、軽負荷時や無負荷時での入力電圧 V_i の上昇を抑制できる。

[0082] 次に、第2の実施形態に係るスイッチング電源装置について、図4を基に説明する。

図4はその回路図である。図1に示したスイッチング電源装置と異なり、この例では第2のスイッチ回路 S_2 と第5のキャパシタ C_r の直列回路を第1のスイッチ回路 S_1 に対して並列に接続している。その他の構成は図1に示したものと同様である。なお図4ではトランス T の駆動巻線 L_{b1} , L_{b2} 、帰還回路 FB_1 , FB_2 については図示を省略している。またスイッチング制御回路 SC_1 , SC_2 はブロック化して表している。

[0083] このような回路構成であっても第1の実施形態の場合と同様の効果を奏する。また

キャパシタ C_r の印加電圧は大きくなるが、蓄える電荷量を一定として考えると、キャパシタ C_r の容量を低減できるため、キャパシタ C_r の小型化を図ることができる。

[0084] 図5は第3の実施形態に係るスイッチング電源装置の回路図である。図1に示した構成と異なり、この図5に示す例では、第5のキャパシタ C_r を第4のキャパシタ C_i の一端と第1のインダクタ L_r との間に接続している。また図1に示したダイオード D_c をダイオード D_i のカソードとスイッチ素子 Q_2 のドレインとの間に接続することができるが、それは省略している。その他は図1に示した場合と同様である。ただし図5ではトランス T の駆動巻線 L_{b1} 、 L_{b2} 、スイッチング制御回路 SC_1 、 SC_2 および帰還回路 FB_1 、 FB_2 については図示を省略している。

[0085] このような構成であっても第1の実施形態の場合と同様の効果が得られる。また、第1のインダクタ L_r に直列につながる第5のキャパシタ C_r と第4のキャパシタ C_i との接続点に第2のスイッチ素子 Q_2 の一端を接続したので第1・第2のスイッチ素子 Q_1 、 Q_2 の印加電圧を低減でき、それらの電圧ストレスを低減できる。

[0086] 図6は第4の実施形態に係るスイッチング電源装置の回路図である。図1に示したスイッチング電源装置と異なり、この図6に示す例では、図1に示した第4のダイオード D_b を設けていない。図1に示した第4のダイオード D_b は、それを設けることによって第4のキャパシタ C_i に充電電流を供給できるが、このダイオード D_b とキャパシタ C_i とは所謂コンデンサインプット型の整流平滑回路を構成しているのではない。コンデンサ C_i はトランス T の1次巻線 L_p およびインダクタ L_r によって充電される。したがって図1に示したダイオード D_b は必須ではない。この図6の構成ではダイオード D_b が不要となって部品点数の削減が図れる。ただ、このスイッチング電源装置の起動時や重負荷時においてコンデンサ C_i の両端電圧がコンデンサ C_a の両端電圧より小さい状態でコンデンサ C_i を充電する電流がトランス T を通るためトランス T が偏磁する場合があるが、図1に示したようにダイオード D_b を設ければ、起動時や重負荷時にコンデンサ C_i に対して直接充電できるため、上述の問題が生じない。

[0087] 図7は第5の実施形態に係るスイッチング電源装置の回路図である。図1に示した例では第2のインダクタ L_i を第1・第2のスイッチ回路 S_1 、 S_2 の接続点と第3のダイオード D_i との間に設けたが、この図7の例では第1のスイッチ回路 S_1 とキャパシタ C_i との

接続点とキャパシタCaとの間に第2のインダクタLiを設けている。このような構成であっても第1の実施形態の場合と同様の効果が得られる。

[0088] 図8は第6の実施形態に係るスイッチング電源装置の回路図である。この例ではトランスTとは別に第2のトランスT2を設け、この第2のトランスT2の入力巻線Liを図1に示した第2のインダクタLiとして用いている。そして第2のトランスT2の出力巻線Loと整流平滑回路RSとの間に整流回路Ds2を設けている。その他の部分は図1に示したものと同様である。なお図1におけるダイオードDbに相当するものは図8では図示していない。

[0089] このような構成により、インダクタLiに蓄えられたエネルギーがトランスT2の出力巻線Loから整流平滑回路RS側に供給できるため、その分トランスTの電流が減少し、トランスTの巻線等による導通損失が低減して、さらなる高効率化が図れる。なお、整流回路Ds2と整流回路Dsを切り放して、異なる出力として供給することも可能である。

[0090] 図9は第7の実施形態に係るスイッチング電源装置の回路図である。この例では第2のトランスT2を設け、その入力巻線Li1に対して直列にインダクタLiを設けている。その他の部分は図8に示したものと同様である。

[0091] このような構成により、インダクタLi1に蓄えられるエネルギーが整流平滑回路RS側に直接供給できるため、その分トランスTの電流が減少し、トランスTの巻線等による導通損失が低減して高効率化が図れる。なお、図8の場合と同様に、整流回路Ds2と整流回路Dsを切り放して、異なる出力として供給することも可能である。

[0092] 図10は第8の実施形態に係るスイッチング電源装置の回路図である。この例ではトランスTに3次巻線Ltを設け、この3次巻線Ltを第2のインダクタLiと直列に接続している。その他は図1に示したものと同様である。

[0093] この図10に示すような構成によって第1の実施形態の場合と同様の効果を得ることができるとともに、トランスTの3次巻線Ltに発生する電圧を利用してインダクタLiに印加される電圧を調整して入力電流iinの導通角(商用電源電圧の半周期内での導通期間)を調整して高調波電流の抑制と損失低減を両立することができる。また、3次巻線Ltと1次巻線との巻数比を調整することにより上記導通角を狭めてキャパシタCiへ

過大な電圧が印加されるのを抑制できる。

[0094] 図11は第9の実施形態に係るスイッチング電源装置の回路図である。この例ではインダクタ L_i をダイオード D_b とキャパシタ C_a との間に設けている。また整流平滑回路 R_S にダイオード D_f とインダクタ L_f を追加してフォワードコンバータ形式としている。したがってトランス T の2次巻線 L_s の極性は第1～第8の実施形態の場合と逆である。その他の構成は図1に示したものと同様である。この図11に示した構成によれば、インダクタ L_f に励磁エネルギーを蓄積するため、その分トランス T を小型化できる。

[0095] なお、インダクタ L_i の位置を変えずに、2次側を図1のようにフライバックコンバータ形式とすることも可能である。さらに、図1、図4～図10において2次側を図11同様にフォワードコンバータ形式とすることも可能である。

[0096] 図12は第10の実施形態に係るスイッチング電源装置のスイッチング制御回路の構成例を示している。この例ではトランス T の駆動巻線 L_b に抵抗 R_z 、ツェナダイオード Z_D 、ダイオード D_z の直列回路を接続していて、ツェナダイオード Z_D とダイオード D_z との直列回路に抵抗 R_t とキャパシタ C_t による直列回路を並列に接続している。そしてキャパシタ C_t の電圧をトランジスタ T_r のベースに印加するようにしている。またトランジスタ T_r のベース・エミッタ間に設けたダイオード D_b は、トランジスタ T_r のベース・エミッタ間への逆電圧の印加を防止する。

[0097] 抵抗 R_g とキャパシタ C_g の直列回路は遅延回路 DL を構成していて、スイッチ素子 Q のターンオンを遅延させる。なおキャパシタ C_{iss} はスイッチ素子 Q の入力容量を図示している。

[0098] このように、抵抗 R_t とキャパシタ C_t からなる時定数回路にはツェナダイオード Z_D による一定電圧が供給されるので、駆動巻線 L_b の電圧変動の影響を受けない。またこの抵抗 R_t のインピーダンスを制御することによって、トランジスタ T_r がオンするタイミング、すなわちスイッチ素子 Q のオン期間を制御することができる。

請求の範囲

- [1] 第1のスイッチ素子Q1、第1のダイオードD1、および第1のキャパシタCds1の並列接続回路で構成された第1のスイッチ回路S1と、
 第2のスイッチ素子Q2、第2のダイオードD2、および第2のキャパシタCds2の並列接続回路で構成された第2のスイッチ回路S2と、
 交流入力電圧を整流する少なくとも1つの整流素子により構成された入力側整流回路Daと、該整流回路Daにより整流された電圧が印加される第3のキャパシタCaと、
 1次巻線Lpと2次巻線Lsを有するトランスTと、
 前記2次巻線Lsに接続された整流平滑回路RSと、
 前記1次巻線Lpに直列に接続された第1のインダクタLrと、
 第1のスイッチ回路S1が導通状態となるオン期間に第3のキャパシタCaの電圧が印加されるように接続された第2のインダクタLiと、
 該第2のインダクタLiに逆電流が流れるのを阻止する第3のダイオードDiと、
 第2のインダクタLiに蓄えられた励磁エネルギーにより充電され、且つ、前記オン期間に前記1次巻線Lpに電圧を印加するように接続された第4のキャパシタCiと、
 第1のインダクタLrと前記1次巻線Lpと第2のスイッチ回路S2とともに閉ループを構成する第5のキャパシタCrと、
 第1・第2のスイッチ素子を両スイッチ素子が共にオフする期間を挟んで交互にオンオフ駆動するスイッチング制御回路SC1、SC2とを備えたことを特徴とするスイッチング電源装置。
- [2] 第1のスイッチ素子Q1、第1のダイオードD1、および第1のキャパシタCds1の並列接続回路で構成された第1のスイッチ回路S1と、
 第2のスイッチ素子Q2、第2のダイオードD2、および第2のキャパシタCds2の並列接続回路で構成された第2のスイッチ回路S2と、
 交流入力電圧を整流する少なくとも1つの整流素子により構成された入力側整流回路Daと該整流回路Daにより整流された電圧が印加される第3のキャパシタCaと、
 1次巻線Lpと2次巻線Lsを有するトランスTと、
 前記2次巻線Lsに接続された整流平滑回路RSと、

前記1次巻線 L_p に直列に接続された第1のインダクタ L_r と、
第1のスイッチ回路 S_1 が導通状態となるオン期間に第3のキャパシタ C_a の電圧が
印加されるように接続された第2のインダクタ L_i と、

該第2のインダクタ L_i に逆電流が流れるのを阻止する第3のダイオード D_i と、
第2のインダクタ L_i に蓄えられた励磁エネルギーにより充電され、且つ、前記オン期
間に前記1次巻線 L_p に電圧を印加するように接続された第4のキャパシタ C_i と、

第1のスイッチ回路 S_1 の両端に接続される直列回路を第2のスイッチ回路 S_2 とで構
成する第5のキャパシタ C_r と、

第1・第2のスイッチ素子を両スイッチ素子が共にオフする期間を挟んで交互にオン
オフ駆動するスイッチング制御回路 SC_1 、 SC_2 とを備えたことを特徴とするスイッチ
ング電源装置。

[3] 前記トランス T とは別の第2のトランス T_2 を設け、第2のインダクタ L_i を第2のトランス
 T_2 の入力巻線で構成し、第2のトランス T_2 の出力巻線 L_o と前記整流平滑回路 RS と
の間に整流回路 DS_2 を設けたことを特徴とする請求項1または2に記載のスイッチ
ング電源装置。

[4] 前記トランス T とは別の第2のトランス T_2 を設け、第2のインダクタ L_i と直列に第2のト
ランス T_2 の入力巻線 L_{i1} を接続し、第2のトランス T_2 の出力巻線 L_o と前記整流平滑
回路 RS との間に整流回路 DS_2 を設けたことを特徴とする請求項1または2に記載の
スイッチング電源装置。

[5] 前記トランス T に3次巻線 L_t を設け、該3次巻線 L_t に第2のインダクタ L_i を直列に接
続したことを特徴とする請求項1または2に記載のスイッチング電源装置。

[6] 第3のキャパシタ C_a が高調波成分の電流を流してローパスフィルタまたはローパス
フィルタの一部を構成することを特徴とする請求項1～5のいずれかに記載のスイッ
チング電源装置。

[7] 前記入力側整流回路 Da と第4のキャパシタ C_i との間に第4のダイオード Db を接続
したことを特徴とする請求項1～6のいずれかに記載のスイッチング電源装置。

[8] 第1のスイッチ回路 S_1 と第2のスイッチ回路 S_2 との接続点に第2のインダクタ L_i の一
端を接続し、他端を第3のダイオード D_i に接続し、第2のスイッチ回路 S_2 と第4のキャ

パシタ C_r との接続点と、第1のスイッチ回路 S_1 と第2のスイッチ回路 S_2 との接続点に、第4のダイオード D_c の両端を接続したことを特徴とする請求項1～7のいずれかに記載のスイッチング電源装置。

- [9] 前記トランス T に単数または複数の駆動巻線 L_{b1} , L_{b2} を設け、前記スイッチング制御回路 SC_1 , SC_2 は、前記駆動巻線 L_{b1} , L_{b2} に発生する電圧を用いて第1のスイッチ素子 Q_1 または第2のスイッチ素子 Q_2 を駆動することを特徴とする請求項1～8のいずれかに記載のスイッチング電源装置。
- [10] 前記駆動巻線 L_{b1} , L_{b2} と第1・第2のスイッチング素子 Q_1 , Q_2 の制御端子との間に抵抗 R_{g1} , R_{g2} とコンデンサ C_{g1} , C_{g2} との直列回路からなる遅延回路 DL_1 , DL_2 を備え、前記スイッチング制御回路 SC_1 , SC_2 は、前記駆動巻線 L_{b1} , L_{b2} に前記スイッチ素子 Q_1 , Q_2 をターンオンさせる電圧が発生してから遅延して該スイッチ素子 Q_1 , Q_2 をそれぞれターンオンさせることを特徴とする請求項1～9のいずれかに記載のスイッチング電源装置。
- [11] 第1・第2のスイッチ素子 Q_1 , Q_2 の両端に印加される電圧が零電圧または零電圧付近まで低下してからターンオンするように前記遅延回路 DL_1 , DL_2 の遅延時間をそれぞれ設定したことを特徴とする請求項10に記載のスイッチング電源装置。
- [12] 前記スイッチング制御回路 SC_1 , SC_2 は、前記駆動巻線 L_{b1} , L_{b2} に前記スイッチ素子 Q_1 , Q_2 をターンオンさせる電圧が発生してから所定時間後にオンすることにより前記スイッチ素子 Q_1 , Q_2 をターンオフさせる、前記スイッチ素子 Q_1 , Q_2 の制御端子に接続されたスイッチ手段を備えることを特徴とする請求項1～11のいずれかに記載のスイッチング電源装置。
- [13] 前記スイッチ手段をトランジスタ Tr_1 , Tr_2 で構成し、該トランジスタ Tr_1 , Tr_2 の制御端子に時定数回路を構成するインピーダンス回路およびコンデンサ C_{t1} , C_{t2} がそれぞれ接続されたことを特徴とする請求項12に記載のスイッチング電源装置。
- [14] 前記スイッチング制御回路 SC_1 , SC_2 は、前記駆動巻線 L_{b1} , L_{b2} に前記スイッチ素子 Q_1 , Q_2 をターンオンさせる電圧が発生してから、一定時間後に前記スイッチ素子 Q_1 , Q_2 をターンオフさせるように時定数回路 TC_1 , TC_2 を備えたことを特徴とする請求項1～13のいずれかに記載のスイッチング電源装置。

- [15] 前記トランスTの有する漏れインダクタンスを第1のインダクタ L_r として構成したことを特徴とする請求項1～14のいずれかに記載のスイッチング電源装置
- [16] 第1のスイッチ回路S1または第2のスイッチ回路S2の少なくとも一方を電界効果トランジスタで構成したことを特徴とする請求項1～15のいずれかに記載のスイッチング電源装置。
- [17] 前記スイッチング制御回路SC1, SC2は、前記2次巻線 L_s に接続された整流平滑回路RSから得られる出力電圧を安定化するように第1のスイッチ素子Q1のオン期間を制御することを特徴とする請求項1～16のいずれかに記載のスイッチング電源装置。
- [18] 前記スイッチング制御回路SC1, SC2は、第4のキャパシタ C_i の両端電圧に応じて第2のスイッチ素子Q2のオン期間を制御することを特徴とする請求項1～17のいずれかに記載のスイッチング電源装置。
- [19] 前記スイッチング制御回路SC1, SC2は、第4のキャパシタ C_i の両端電圧の上昇に応じて第2のスイッチ素子Q2のオン期間を抑制し、軽負荷または無負荷時に発振期間と停止期間を周期的に繰り返す間欠発振動作モードに移行して、第4のキャパシタ C_i の両端電圧の上昇を抑制することを特徴とする請求項1～18のいずれかに記載のスイッチング電源装置。

要 約 書

スイッチ素子(Q1), (Q2)、ダイオード(D1), (D2)、キャパシタ(Cds1), (Cds2)からなる第1・第2のスイッチ回路(S1), (S2)と、トランス(T)を備え、トランス(T)の1次巻線(Lp)に直列に第1のインダクタ(Lr)を接続し、第1のスイッチ回路(S1)のオン期間に第3のキャパシタ(Ca)の電圧が印加されるように第2のインダクタ(Li)を設ける。また(Li)に対する逆電流を阻止するダイオード(Di)と、(Li)に蓄積された励磁エネルギーにより充電され且つ(S1)のオン期間において1次巻線(Lp)に電圧を印加するキャパシタ(Ci)を設ける。さらにインダクタ(Lr)と1次巻線(Lp)と第2のスイッチ回路(S2)とともに閉ループを構成するようにキャパシタ(Cr)を設ける。